

#2/PP  
Rec'd  
2/22/01  
PCT/JP 00/01794

28.03.00

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

EKV

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

1 9 9 9 年 3 月 2 4 日

REC'D 19 MAY 2000

出 願 番 号  
Application Number:

平成 1 1 年 特 許 願 第 0 7 9 9 2 7 号

WIPO

PCT

出 願 人  
Applicant (s):

松下電器産業株式会社

09/700940

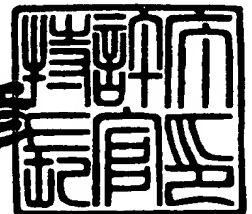
PRIORITY  
DOCUMENT

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2 0 0 0 年 4 月 2 8 日

特 許 庁 長 官  
Commissioner,  
Patent Office

近 藤 隆 彦



出 証 番 号 出 証 特 2 0 0 0 - 3 0 3 0 3 0 4

【書類名】 特許願

【整理番号】 R2966

【提出日】 平成11年 3月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/04

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 崎山 史朗

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 木下 雅善

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 梶原 準

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 山本 裕雄

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 里見 勝治

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100095555

【弁理士】

【氏名又は名称】 池内 寛幸

【電話番号】 06-6361-9334

【選任した代理人】

【識別番号】 100076576

【弁理士】

【氏名又は名称】 佐藤 公博

【手数料の表示】

【予納台帳番号】 012162

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003743

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 L S I 配置方法

【特許請求の範囲】

【請求項 1】 標準セルの自動配置配線による L S I 設計において、  
電源容量セルを前記標準セルの一つとして備え、

前記電源容量セルについて、前記標準セルの一つである各ロジックゲートセル  
の駆動負荷容量値に応じて容量値を定め、前記各ロジックゲートセルの近傍に配  
置することを特徴とした L S I 配置方法。

【請求項 2】 前記電源容量セルの前記容量値を、前記各ロジックゲートセル  
における前記駆動負荷容量値の略 2 倍の大きさに設定する請求項 1 記載の L S I  
配置方法。

【請求項 3】 前記電源容量セルが、クロック同期で同時変化する前記各ロジ  
ックゲートセルの近傍に配置する請求項 1 記載の L S I 配置方法。

【請求項 4】 標準セルの自動配置配線による L S I 設計において、  
電源容量セルを前記標準セルの一つとして備え、

自動配置配線された各ブロックにおける標準セル未配置領域に、前記電源容量  
セルを配置することを特徴とした L S I 配置方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は標準セルの自動配置配線を用いた L S I 設計における電源安定化方法  
に関する。

【0 0 0 2】

【従来の技術】

近年の、L S I の消費電流の増大に伴い、L S I の電源ノイズは増大する傾向  
にある。また、省電力化に対する市場の要請によって L S I の低電圧化も進展し  
、それに伴い、L S I 内部回路の電源ノイズに対する動作マージンも劣化傾向に  
ある。

【0 0 0 3】

このようなLSIの電源ノイズの増大は、LSIの内部回路に対して、(1)動作速度の劣化、(2)回路の誤動作、(3)EMI (Electro Magnetic Interference) ノイズによるシステムの誤動作といった悪影響を及ぼす懸念がある。

【0004】

LSIが発生するノイズを抑制する方法としては、従来から電源容量をLSI内部に配置する方法が良く用いられてきた。電源容量を挿入することで、電源の交流インピーダンスは小さくなり、交流電源が原因となっていた電源ノイズを抑制することが可能となるからである。

【0005】

また、特開平5-21711号公報においては、LSIの機能回路が存在しない部分に電源容量を配置することで、電源安定化を行う方法が開示されている。さらに、特開平5-283615号公報においては、LSIの電源アルミ配線間容量を用いて、効果的に電源容量を付加する方法が開示されている。

【0006】

【発明が解決しようとする課題】

一般に、CMOS (Complementary Metal-Oxide Semiconductor) の集積回路では、スイッチング時に負荷容量への充放電電流が生ずる。図9に一般的なCMOS集積回路の回路図を示す。図9において、91はPMOS (P-channel MOS) トランジスタ・スイッチを、92はNMOS (N-channel MOS) トランジスタ・スイッチを、93は接地電極を、94は電源容量を、95は負荷容量を、96は電源 ( $V_{dd}$ ) パッドを、97は電源 ( $V_{ss}$ ) パッドを、98は充電電流を、99は寄生インダクタを、それぞれ示す。

【0007】

図9において、PMOS (P-channel MOS) トランジスタ・スイッチ91がオンになった場合には、電源から負荷容量95への充電電流98 ( $I_{vdd}$ ) が流れ、NMOS (N-channel MOS) トランジスタ・スイッチ92がオンになった場合には、接地電極93への放電電流が発生する。

【0008】

電源容量 94 は、蓄積された電荷エネルギーを有する。CMOS 集積回路内に電源容量 94 を配置することで、電源パッド 96 からの電流供給 (I<sub>vdd</sub>) 以外に、電源容量 94 から電流 (I<sub>c</sub>) を供給することが可能となるため、電源 (V<sub>d</sub>d) パッド 96 からの電流供給変化量を抑制することが可能となる。

【0009】

しかし、近年における半導体集積回路の微細化の進展に伴い、LSI 内部のアルミ配線のインダクタ成分 (L) は増大する傾向にある。一般的な CMOS 回路においても、寄生インダクタ 99 が生じ、これが電源ノイズの原因となっている。すなわち、電源ノイズ ( $\Delta V$ ) は以下の式で示すことができる。

(数 1)

$$\Delta V = L \times di / dt$$

ここで、(数 1) において、 $di / dt$  は電流変化量を示す。(数 1) から、電源ノイズ ( $\Delta V$ ) を低減するためには、電流変化量 ( $di / dt$ ) を小さくするか、あるいは寄生インダクタ成分 L を小さくすることが効果的であることがわかる。すなわち、寄生インダクタ成分 L はアルミ配線の長さに比例して大きくなるので、電流変化が生ずる電源ラインを短くすることが効果的である。

【0010】

しかしながら、従来の方法においては、スイッチングした CMOS ゲート回路と電源容量間のアルミ配線の長さは相対的に長いため、電源容量からスイッチング回路までの電源インダクタ成分が大きくなり、十分な電源ノイズ低減効果を発揮することは困難であった。

【0011】

本発明は、上記課題を解決すべく、標準セル方式の LSI 設計において、十分な電源ノイズ抑制効果を有し、十分な電源安定化の実現が可能な LSI 配置方法を提供することを目的とする。

【0012】

【課題を解決するための手段】

上記目的を達成するために本発明にかかる LSI 配置方法は、標準セルの自動配置配線による LSI 設計において、電源容量セルを標準セルの一つとして備え

、電源容量セルについて、標準セルの一つである各ロジックゲートセルの駆動負荷容量値に応じて容量値を定め、各ロジックゲートセルの近傍に配置することを特徴とする。

【0013】

かかる構成により、ロジックゲートセルの負荷容量に応じた最適な容量値を有する電源容量セルをロジックゲートセルの近傍に配置することにより、寄生インダクタによるノイズ増加を防ぐことができ、電源ノイズ成分を低減することが可能となる。

【0014】

また、本発明にかかる L S I 配置方法は、電源容量セルの容量値を、各ロジックゲートセルにおける駆動負荷容量値の略 2 倍の大きさに設定することが好ましい。ロジックゲート標準セルの全負荷容量に対し、2 倍程度に設定しておくこと、電源ノイズは電源電圧の約  $1/10$  以下の抑えることができるからである。

【0015】

また、本発明にかかる L S I 配置方法は、電源容量セルが、クロック同期で同時変化する各ロジックゲートセルの近傍に配置することが好ましい。クロック同期系のロジックゲートの近傍に配置することで、面積ロスを最小限にし、かつ、電源ノイズを効率的に抑制することができるからである。

【0016】

次に、上記目的を達成するために本発明にかかる L S I 配置方法は、標準セルの自動配置配線による L S I 設計において、電源容量セルを標準セルの一つとして備え、自動配置配線された各ブロックにおける標準セル未配置領域に、電源容量セルを配置することを特徴とする。

【0017】

かかる構成により、各回路ブロックにおいて標準セルが配置されていない領域（デッドスペース）に電源容量を配置することで、ブロック面積を増やすことなく電源インピーダンスを下げることができ、電源ノイズを低減することが可能となる。

【0018】

## 【発明の実施の形態】

## (実施の形態 1)

以下、本発明の実施の形態 1 にかかる L S I 配置方法について、図面を参照しながら説明する。図 1 は一般的な L S I ブロック図、図 2 はブロック A における自動配置配線図、図 3 は本発明の実施の形態 1 にかかる L S I 配置方法における電源容量標準セルを備えた自動配置配線図である。

## 【0019】

図 1 において、1 は L S I を、11 から 13 は標準セルを用いてブロックレイアウトした時の各回路ブロックを、それぞれ示す。各ブロックは、図 2 で示されるように、標準セルによりセル合成がなされ、各ブロックは長方形型にレイアウトされる。本発明においては、標準セルとして電源容量のみで構成される標準セル 22 が予め準備されているところに特徴がある。電源容量標準セル 22 は、各ロジックゲート標準セル 21 の負荷容量に応じて、図 3 に示すように、ロジックゲート標準セル 21 の近傍に配置される。

## 【0020】

ロジックゲート標準セル 21 の近傍に電源容量標準セル 22 を配置することにより、各ロジックゲート標準セルがスイッチングした場合に生じる負荷容量への充電電流は、近傍に配置された電源容量から、その多くが供給されるため、電源インダクタ成分 L による（数 1）で示される電源ノイズは小さくなる。

## 【0021】

一般に電源ノイズ ( $\Delta V$ ) は、ロジックゲート標準セル 21 の全負荷容量に対し、2 倍程度に設定しておくこと、 $\Delta V$  は、電源電圧 ( $V_{dd}$ ) の約  $1/10$  以下に抑えられることが知られている。(P.Larsson, "di/dt Noise in CMOS Integrated Circuits.", Analog Integrated Circuits and Processing, An International Journal Vol.14, pp.113-129, 1997.)

また、ノイズが電源電圧の  $1/10$  以下であるということは、別の見方をすれば、CMOS しきい値電圧の約  $1/2$  の電圧値に相当する。したがって、電源ノイズをしきい値電圧の  $1/2$  に抑えることが、L S I 動作の信頼性を保証する上で特に重要な要素となる。



## 【0022】

すなわち、図4に示すように、標準セル方式のセル合成において、自動レイアウト配置を行う際に、各ロジックゲートの駆動負荷容量 ( $C_1 + C_2$ ) を見積もり、各ロジックゲートに対し、駆動負荷容量の約2倍以上となる電源容量  $C_d$  を有する電源容量標準セル21を、各ロジックゲートの近傍に配置する。すなわち、 $C_d > 2(C_1 + C_2)$  を満たすように電源容量標準セル21を配置する。かかる配置とすることで、個々のロジックゲート回路において、電源ノイズ ( $\Delta V$ ) を電源電圧の  $1/10$  以下に抑えることが保証できるので、LSI全体での電源ノイズの最大値を保証することが可能となる。

## 【0023】

また、電源容量の構成として、CMOS半導体集積回路では、図5の構成が最適である。すなわち、p-subウエハでは、n-wellを  $V_{ss}$  に固定し、ポリシリコンゲート電極を  $V_{dd}$  に固定する。ゲート電極電位は、n-wellに対し順バイアスとなっているため、空乏層容量が生成されないため、小面積であるにもかかわらず、大きな容量値を有する電源容量を実現することができる。

## 【0024】

一方、電源容量標準セル22を全てのロジックゲートに対して配置することは、大きな面積ロスを生む。さらに、電源ノイズが最も大きくなるのは、複数のロジックゲートが同時にスイッチングする時である。一般に、完全クロック同期型で動作するLSIでは、クロックの立ち上がりにおいて、多くのロジックゲートがスイッチングする。これは、DFF (D Flip-Flop) が、クロックの立ち上がりで全て動作するように設計されるからである。また、近年におけるLSIの高速化に伴い、クロックスキューの削減が望まれている。

## 【0025】

このような背景の中で、CTS (Clock tree Synthesis) と呼ばれる設計手法が標準化されつつある。この方法は、全てのDFF動作の位相が等しくなるように、タイミング調整することができる方法の一つである。当該タイミング調整は、配線遅延を考慮したインバータ遅延によって行うことができる。図6にCTSを用いたLSI設計の典型的な例を示す。図6において、23はDFF標準セル

、24はインバータ標準セルである。インバータのサイズ等を負荷容量に応じて変更したり、また、インバータの遅延段数を調整すること等によって、全てのDFFのクロック位相が等しくなるように調整することができる。

#### 【0026】

CTSによる高精度化により、全てのDFFは同時にスイッチングを行うようになる。電源ノイズ問題が最も厳しいのは、このような場合である。したがって、同期系のロジックゲート（DFFゲートやCTS用のインバータゲート等）にのみ、上記CTSを用いて電源容量標準セル22を配置するという方法が、LSI全体の面積削減とノイズ抑制効果とのバランスを考えた場合に、最も効果的な方法となる。

#### 【0027】

以上のように本実施の形態1によれば、従来の標準セルを用いたLSI配置方法において、新規な電源容量セルを用意し、ロジックゲートセルの負荷容量に応じた最適なサイズの電源容量セルをロジックゲートセルの近傍に配置することにより、寄生インダクタによる電源ノイズの増加を防ぐことができ、電源ノイズ成分を低減することが可能となる。また、クロック同期系のロジックゲートにのみ上記方法を採用することで、面積ロスを最小限にとどめ、かつ、電源ノイズを効率的に抑制することができる。

#### 【0028】

##### （実施の形態2）

次に本発明の実施の形態2にかかるLSI配置方法について、図面を参照しながら説明する。図7は従来の標準セルを用いて自動配置配線された、ブロックである。図7に示されるように、従来構成においては、ブロックを構成する各電源ラインの標準セルによるブロック幅が、各々のブロックによって相異なるため、ブロック内に標準セルを配置していない領域であるデッドスペース71が存在する。そこで、本実施の形態2においては、図8に示すように、当該デッドスペース71に電源容量標準セル22を配置した。かかる配置とすることで、従来構成のブロック11とブロック全体の面積を変えずに、効果的に電源容量セルを配置させることができる。

## 【0029】

一般に、電源容量が大きければ大きい程、電源インピーダンスが小さくなるため、電源ノイズを効果的に抑制するためには可能な限り電源容量セルを配置させた方が効果的である。しかし、一方ではブロック面積には物理的な限界がある。本実施の形態2においては、ブロック全体の面積を増やすことなく、電源容量セルを追加することが可能となる。これは、電源容量標準セル22という標準セルを準備し、電源のデッドスペースの幅と電源容量標準セル22の幅に基づいて配置可能な電源容量標準セル22の個数を計算し、可能な限り配置することで、簡単に実現することができる。

## 【0030】

以上のように本実施の形態2によれば、新規な電源容量標準セル22を用意し、従来の方法により自動配置配線を行う場合に必ず存在した各回路ブロックのデッドスペース71に電源容量標準セル22を可能な限り配置することで、ブロック全体の面積を増やすことなく電源インピーダンスを下げることができ、電源ノイズを効果的に低減することが可能となる。

## 【0031】

さらに、かかる方法を用いて設計された半導体集積回路においては、電源ノイズが少なく、回路の誤動作等が生じにくいことから、当該半導体集積回路を種々のシステムや装置に適用することで、品質の高いシステムや装置を提供することが可能となる。

## 【0032】

なお、上述した実施の形態は本発明を例示するものであって、本発明をこれに限定するものではない。また本発明の内容は、請求の範囲によってのみ限定される。

## 【0033】

## 【発明の効果】

以上のように、本発明にかかるLSI配置方法によれば、従来の標準セルを用いたLSI設計において、ロジックゲートセルの負荷容量に応じた最適なサイズの電源容量セルをロジックゲートセルの近傍に配置することで、従来のLSI配

置方法と比較して電源配線のL成分を小さくすることができ、電源ノイズを効果的に抑制することが可能となる。

【0034】

また、本発明にかかるLSI配置方法によれば、クロック同期系のロジックゲートにのみ上記方法を採用することで、面積ロスを最小限にすることができ、かつ、電源ノイズを効率的に抑制することが可能となる。

【0035】

さらに、本発明にかかるLSI配置方法によれば、従来存在した各回路ブロックのデッドスペースに電源容量セルを配置することで、ブロック全体の面積を増やすことなく電源インピーダンスを下げることができ、電源ノイズを低減することが可能となる。

【図面の簡単な説明】

【図1】 LSIブロック図

【図2】 ブロックの自動配置配線図

【図3】 本発明の実施の形態1にかかるLSI配置方法における電源容量標準セルを備えた自動配置配線図

【図4】 本発明の実施の形態1にかかるLSI配置方法における最適電源容量決定の説明図

【図5】 CMOS半導体集積回路における電源容量の構成の例示図

【図6】 CTS設計された回路の例示図

【図7】 従来の標準セルを用いた自動配置配線によるブロックレイアウトの例示図

【図8】 本発明の実施の形態2にかかるLSI配置方法における標準セルを用いた自動配置配線によるブロックレイアウトの例示図

【図9】 従来のCMOS集積回路の回路図

【符号の説明】

1 LSI

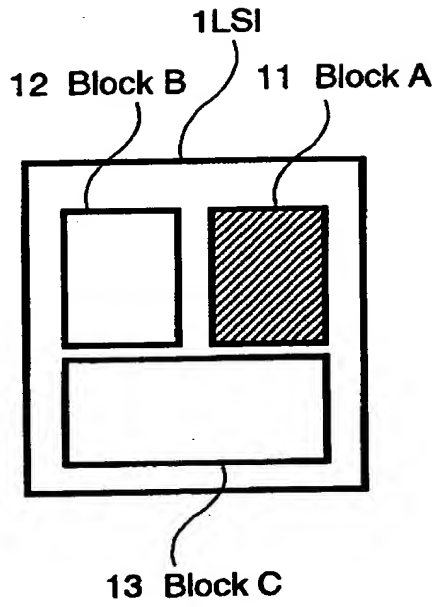
11、12、13 回路ブロック

2 標準セル

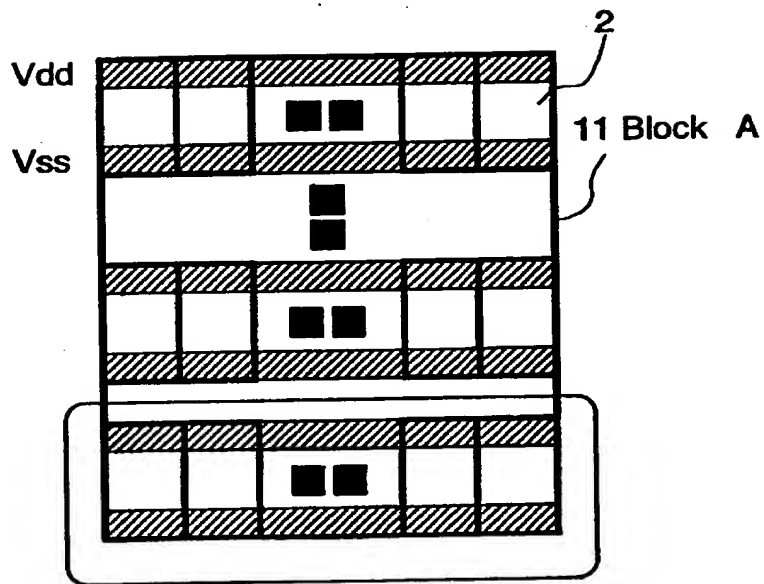
- 2 1 ロジックゲート標準セル
- 2 2 電源容量標準セル
- 2 3 D F F 標準セル
- 2 4 インバータ標準セル
- 4 1 負荷容量 C 1
- 4 2 負荷容量 C 2
- 4 3 電源容量 C d
- 7 1 デッドスペース
- 9 1 P M O S トランジスタ・スイッチ
- 9 2 N M O S トランジスタ・スイッチ
- 9 3 接地電極
- 9 4 電源容量
- 9 5 負荷容量
- 9 6 電源 ( V d d ) パッド
- 9 7 電源 ( V s s ) パッド
- 9 8 充電電流
- 9 9 寄生インダクタ

【書類名】 図面

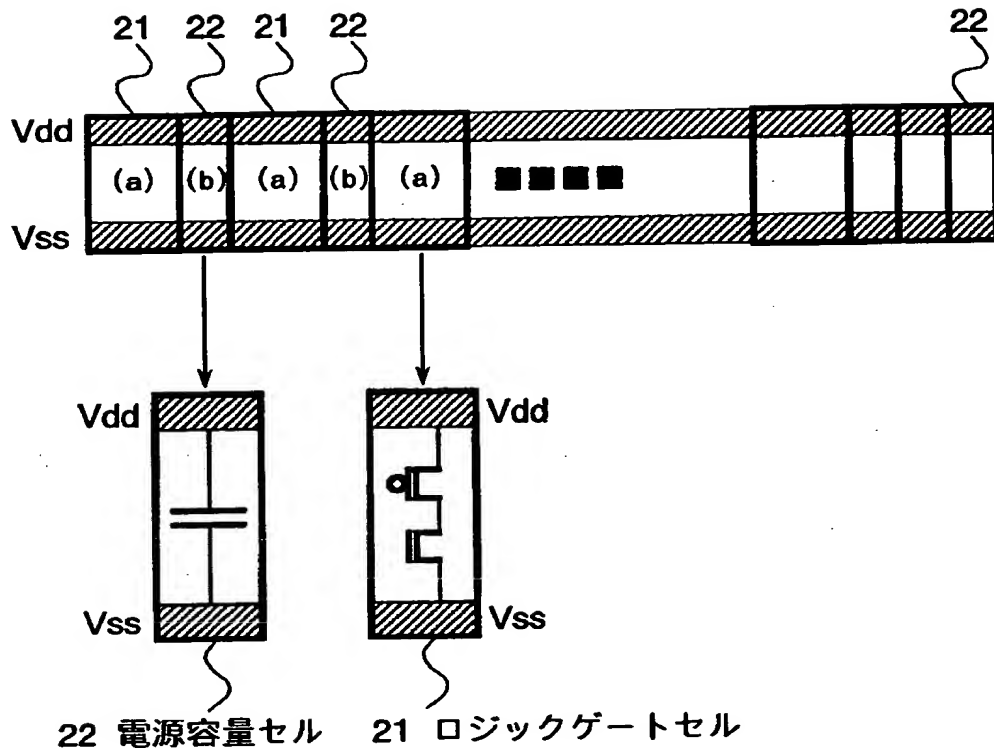
【図 1】



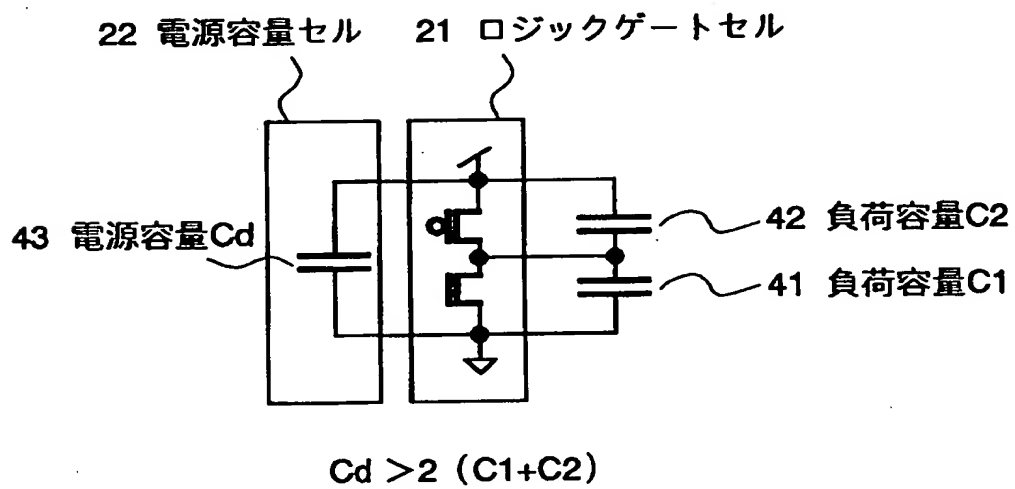
【図 2】



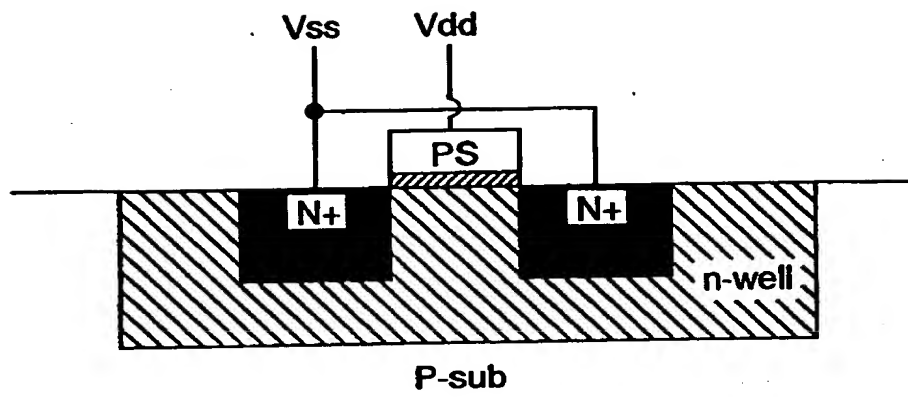
【図 3】



【図 4】

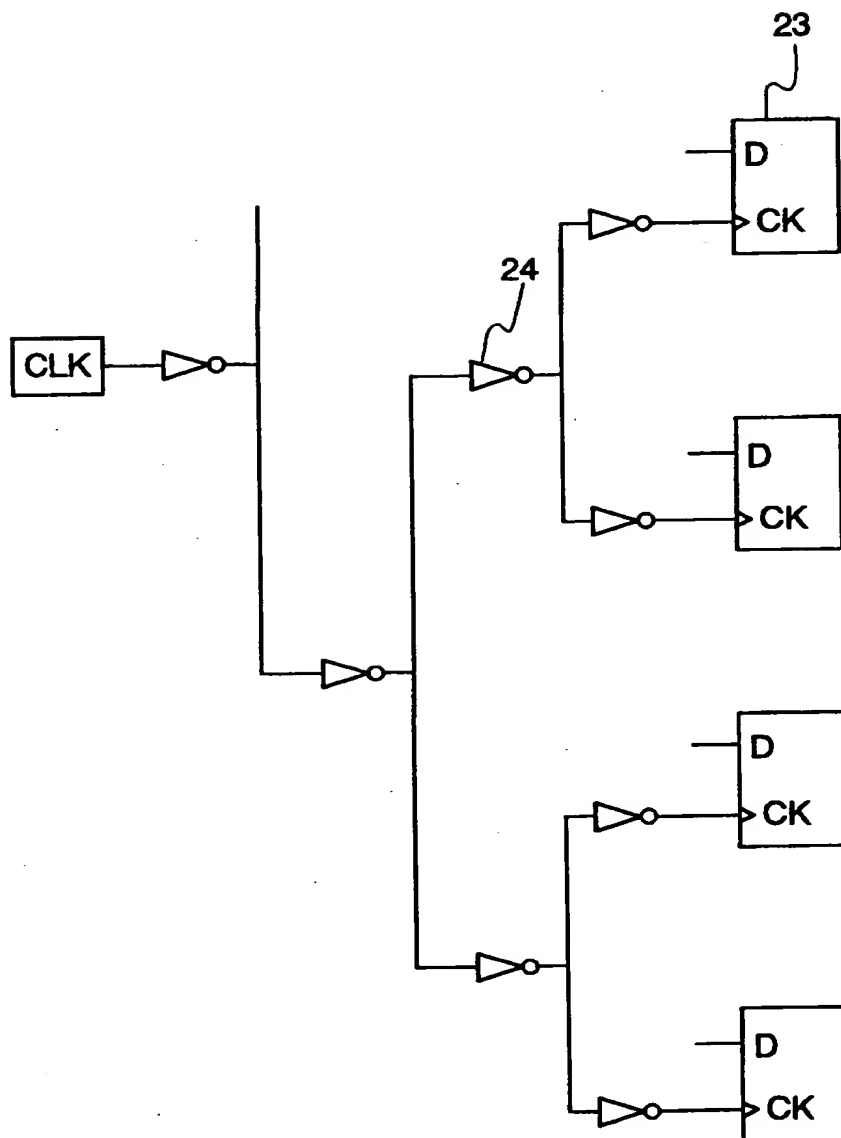


【図 5】

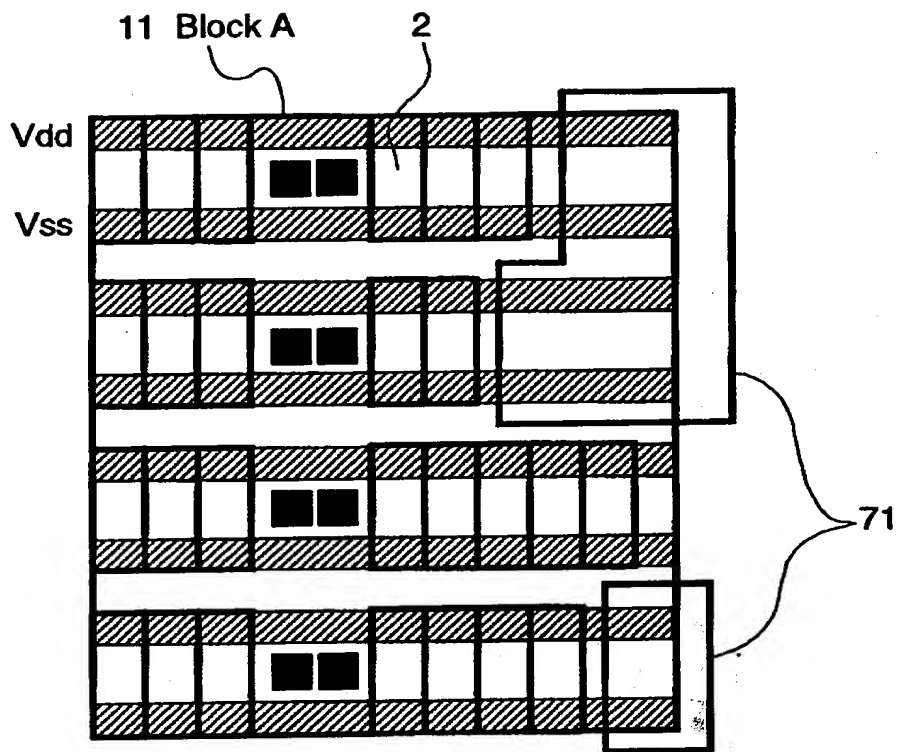




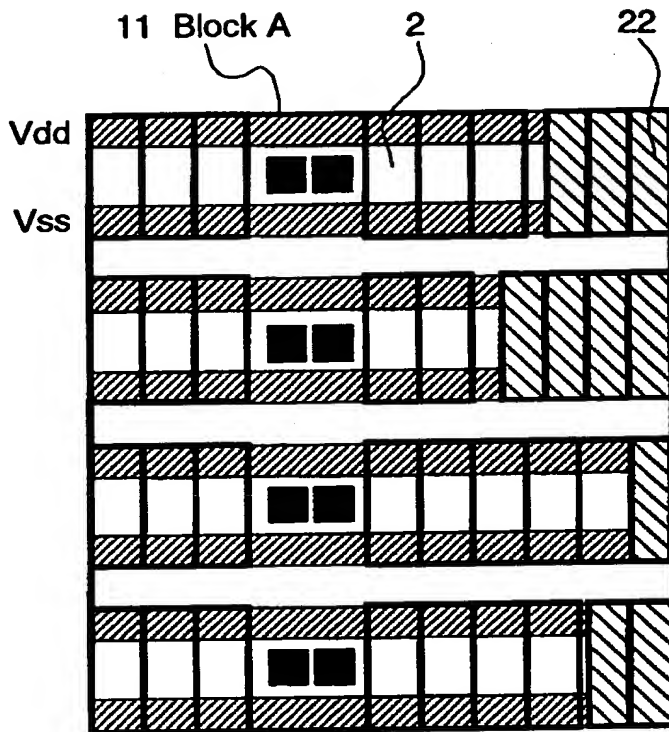
【図 6】



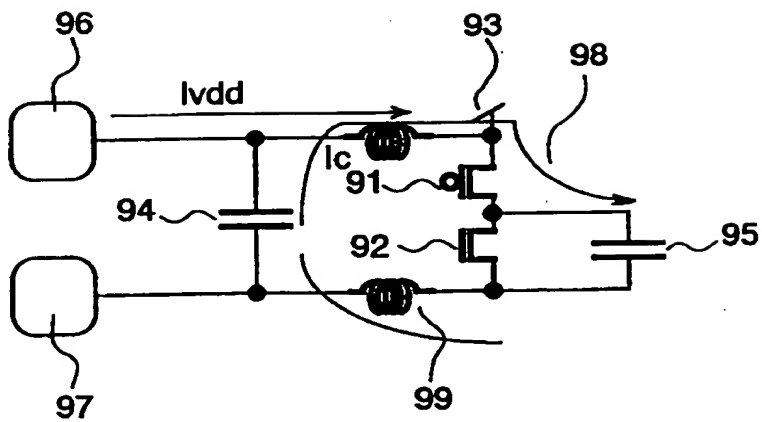
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 標準セル方式の L S I 設計において、十分な電源ノイズ抑制効果を有し、十分な電源安定化の実現が可能な L S I 配置方法を提供する。

【解決手段】 標準セルの自動配置配線による L S I 設計において、電源容量セルを標準セルの一つとして備え、電源容量セルについて、標準セルの一つである各ロジックゲートセルの駆動負荷容量値に応じて容量値を定め、各ロジックゲートセルの近傍に配置する。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日  
[変更理由] 新規登録  
住 所 大阪府門真市大字門真1006番地  
氏 名 松下電器産業株式会社

**THIS PAGE BLANK (USPTO)**